

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251360

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01L 21/60

H01L 21/56

H01L 23/28

(21)Application number : 10-052048

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1998

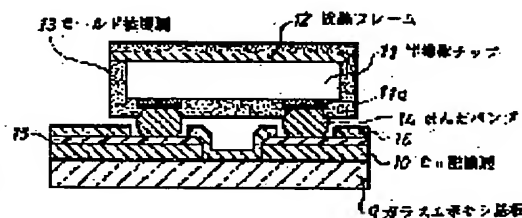
(72)Inventor : KATAOKA SHIGERU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method which can facilitate the handling of a flip-chip junction and improve its quality and reliability, by improving the strength of a semiconductor element.

SOLUTION: In this semiconductor device, a metallic heat radiating frame 12 is mounted on a non-electrode formation surface of a semiconductor chip 11, and a mold coated layer 13 of insulating resin is formed integrally on the electrode formation surface and the side peripheral faces of the chip 11 except for electrode terminals 11a. Pb/Sn-based solder bumps 14 are formed respectively on the respective terminals 11a by electroplating or the like with the use of the mold coated layer 13 as a mask. Such a chip 11 is arranged faced-down and jointed onto a Cu wiring layer 10 of a glass epoxy wiring board via the bumps 14. Furthermore, only the frame 12 is exposed on its one end face without being covered with the mold coated layer 13.



LEGAL STATUS

[Date of request for examination]

03.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251360

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁸

H 0 1 L 21/60
21/56
23/28

識別記号

3 1 1

F I

H 0 1 L 21/60
21/56
23/28

3 1 1 Q
T
F

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平10-52048

(22) 出願日 平成10年(1998) 3月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 片岡 茂

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

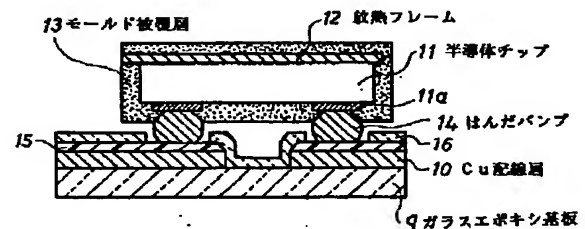
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体素子の強度を向上させてフリップチップ接合における取扱いを容易にし、品質並びに信頼性を向上させた半導体装置とその製造方法を提供する。

【解決手段】 本発明の半導体装置では、半導体チップ11の非電極形成面上に金属製の放熱フレーム12が取付けられ、かつ電極端子11a上を除く電極形成面および側周面上などに、絶縁性樹脂のモールド被覆層13が一体に形成されている。また、電極端子11a上にPb/Sn系のはんだバンプ14が、樹脂モールド被覆層13をマスクとし電解めっき等により、それぞれ形成されている。そして、このような半導体チップ11がフェースダウンに配置され、ガラスエポキシ配線板のCu配線層10上に、はんだバンプ14を介して接合されている。さらに、放熱フレーム12では、一方の端面のみがモールド被覆層13により覆われることがなく露出している。



【特許請求の範囲】

【請求項1】 板状の絶縁基材の少なくとも一主面に配線層が配設された配線基板と、フェースダウンに配置され、電極端子上にそれぞれ設けられたバンパを介して前記配線基板の配線層に接合された半導体素子とを備え、前記半導体素子の前記電極端子上を除いた電極形成面および側周面上に、それぞれ絶縁性樹脂のモールド被覆層が形成されていることを特徴とする半導体装置。

【請求項2】 前記半導体素子が、III-V族化合物半導体の基板上に、所要の回路素子が形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体素子の電極形成面と反対側の面に接するように、金属製の放熱部材が設けられており、かつこの放熱部材の少なくとも一部が、前記モールド被覆層の外側に露出されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記金属製の放熱部材の端部が、前記配線基板の配線層に接続されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上に所要の回路素子が形成された半導体素子の電極端子上を除いた電極形成面および側周面上に、金型を用いたモールド成形により絶縁性樹脂の被覆層を形成するモールド工程と、前記モールド工程で形成された樹脂被覆層をマスクとして、前記半導体素子の電極端子上にバンパを形成する工程と、前記工程でバンパが形成された半導体素子をフェースダウンに配置し、板状の絶縁基材の少なくとも一主面に形成された配線層に、前記バンパを介して接合する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 前記モールド工程において、金属製の放熱部材を、その一方の主面を前記半導体素子の電極形成面と反対側の面に当接させ、かつ一部を金型の外側に突出させて金型内に配置することを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係わり、特に良好な高周波特性を有するCSP (Chip Scale package) タイプの半導体装置と、そのような半導体装置を製造する方法に関する。

【0002】

【従来の技術】 従来から、半導体チップを基板等に直接搭載・接続するベアチップ実装技術の一つとして、フリップチップボンディングがある。フリップチップボンディングにより半導体チップが実装された半導体装置の一例を、図7に示す。

【0003】 この半導体装置では、半導体チップ1の各電極端子1a上に、フォトレジストのマスクを用いためっき法などにより、それぞれはんだバンパ2が形成され、これらのはんだバンパ2が、プリント配線板等の配

線基板3の対応するCu配線層4上に当接され、加熱溶融されて接合（フリップチップ接合）されている。また、これらの接合部および半導体チップ1の外側には、エポキシ樹脂のような絶縁性樹脂の封止層5が、ボンディング等により形成されている。なお、図中符号6は、Cu配線層4上に積層形成されたNi-Au層、符号7は、ソルダレジスト層をそれぞれ示している。

【0004】 このように半導体チップ1がフリップチップ接合された半導体装置は、ワイヤボンディングにより実装された半導体装置と比較して、実装面積が小さい、ボンディングワイヤを使用しないためインダクタンス成分が少ない等の利点があり、高周波部品の高密度実装を必要とする携帯電話のような移動体通信分野に必要不可欠のものとなっている。

【0005】

【発明が解決しようとする課題】 しかしながら、このような従来の半導体装置においては、樹脂封止層5を形成する最終工程まで、半導体チップ1がベアチップの状態であるため、保管時、ダイソートテスト後のテスト時および配線基板3への搭載時などに、半導体チップ1が破損してしまうおそれがあった。特に、高周波回路に使用されるGa-Asのような化合物半導体基板は、シリコン基板と比較して機械的強度が弱い（剛性率が小さい）ため、図8に示すように、半導体チップ1を両側から挟持部材8により挟んで配線基板3上に搭載する際に、半導体チップ1の側部に加わる挟持力により、クラックが発生して破損しやすいため、高い品質並びに信頼性を維持することが難しかった。

【0006】 本発明は、これらの問題を解決するためになされたもので、半導体素子の強度を向上させてフリップチップ接合における取扱いを容易にし、品質並びに信頼性を向上させた半導体装置と、そのような半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の半導体装置は、板状の絶縁基材の少なくとも一主面に配線層が配設された配線基板と、フェースダウンに配置され、電極端子上にそれぞれ設けられたバンパを介して前記配線基板の配線層に接合された半導体素子とを備え、前記半導体素子の前記電極端子上を除いた電極形成面および側周面上に、それぞれ絶縁性樹脂のモールド被覆層が形成されていることを特徴とする。

【0008】 また、本発明の半導体装置の製造方法は、半導体基板上に所要の回路素子が形成された半導体素子の電極端子上を除いた電極形成面および側周面上に、金型を用いたモールド成形により絶縁性樹脂の被覆層を形成するモールド工程と、前記モールド工程で形成された樹脂被覆層をマスクとして、前記半導体素子の電極端子上にバンパを形成する工程と、前記工程でバンパが形成された半導体素子をフェースダウンに配置し、板状の絶

緑基材の少なくとも一主面に形成された配線層に、前記バンパを介して接合する工程とを備えたことを特徴とする。

【0009】本発明の半導体装置およびその製造方法において、半導体素子としては、シリコン半導体素子の他に、例えばGa-As、In-Pのような周期律表のⅢ族元素とⅤ族元素の化合物半導体の基板上に電極等の所要の回路素子が形成された素子を使用することができ、このような化合物半導体素子が実装された半導体装置は、化合物半導体の高い電子移動度により、光デバイスや超高速デバイスとしての使用が可能である。

【0010】また、このような半導体素子の電極端子上を除いた電極形成面等の上に設けられる絶縁性樹脂の被覆封止層としては、例えばエポキシ樹脂から成る被覆層が挙げられる。この被覆層の形成は、所定のキャビティ形状を有する金型を用い、エポキシ樹脂をトランスファモールドすることにより行なうことが望ましい。

【0011】さらに、このように絶縁性樹脂のモールド被覆層が形成された半導体素子の各電極端子上に設けられるバンパとしては、Pb/Sn系のはんだ等のバンパが挙げられる。バンパの形成は、電極端子上へのはんだの電解めっきにより行なうことが望ましく、電極端子上を除いて半導体素子の外周に形成された樹脂モールド被覆層をマスクとしてめっきを行なうことで、フォトリソプロセスを用いたマスキングの工程を省略することができ、バンパ形成工程が簡素化される。

【0012】本発明において、このような半導体素子がフリップチップ接合により実装される配線基板としては、例えば、ガラスクロスにエポキシ樹脂のような絶縁性樹脂を含浸させたプリプレグを1層または積層して成形したガラスクロス樹脂含浸基板を基材とし、その少なくとも一主面に銅箔のエッチング等により配線層が形成されたガラスエポキシ配線基板が使用される。このような配線基板以外に、セラミック基板やガラス基板を絶縁基材とする配線基板の使用も可能である。

【0013】本発明において、金属製の放熱部材としては、銅またはアルミニウムから成る板状部材が挙げられる。このような放熱部材は、一方の主面が半導体素子の電極形成面と反対側の面（以下、非電極形成面と示す。）に接し、かつその少なくとも一部が絶縁性樹脂のモールド被覆層から露出するように配置されることで、半導体素子からの熱を効率的に外部に放出し、熱抵抗を低減させる。なお、このような板状の放熱部材として、半導体素子の非電極形成面全体を覆う大きさの一枚の板を使用しても良いが、幅の狭い銅板またはアルミニウム板の複数枚を、平行に配列して使用しても良い。

【0014】さらに、このような金属製の放熱部材をモールド被覆層の外側に長く延出させるとともに、端部を配線基板の配線層に電気的に接続することにより、グラ

ンド層として接地を確保し、電磁波を遮蔽することができる。

【0015】本発明では、電極端子上に設けられたはんだ等のバンパを介して、配線基板の配線層にフリップチップ接合された半導体素子において、バンパ形成部である電極端子上を除いた電極形成面および側周面上等に、絶縁性樹脂のモールド被覆層が形成されているので、半導体素子の機械的強度が向上して取扱いが容易になっており、配線基板への実装時などの半導体素子の破損が防止され、信頼性の高い半導体装置が得られる。また、絶縁性樹脂のモールド被覆層をマスクとして、効率的にバンパの形成を行なうことができ、バンパ形成工程が簡素化される。

【0016】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。

【0017】図1は、本発明の半導体装置の第1の実施例を断面的に示したものである。図において、符号9は、ガラスクロスエポキシ樹脂含浸基板（ガラスエポキシ基板）を示し、この基板の一方の主面に銅箔のエッチング等によりCu配線層10が設けられ、ガラスエポキシ配線板が構成されている。また符号11は、シリコンやGaAsの半導体基板上に電極端子11a等の回路素子が形成され、必要とされる機能単位ごとに分割された半導体チップを示し、この半導体チップ11の非電極形成面上に、銅等の金属製の放熱フレーム12が取り付けられている。また、半導体チップ11の電極端子11a上を除く電極形成面上と側周面上、および非電極形成面側の放熱フレーム12上には、エポキシ樹脂のような絶縁性樹脂のモールド被覆層13が一体に形成されており、放熱フレーム12の一方の端面のみが、モールド被覆層13により覆われることなく露出している。さらに、半導体チップ11の電極端子11a上には、Cr-Cu-Au等の中間金属層（図示を省略。）を介して、Pb/Sn系のはんだから成るボール状のバンパ14が設けられている。そして、このような半導体チップ11がフェースダウンに配置され、前記したガラスエポキシ配線板のCu配線層10（配線パッド）上に積層形成されたNi-Au層15上に、はんだバンパ14を介して接合されている。なお、図中符号16は、ガラスエポキシ配線板上に配線間の短絡防止とはんだバンパ14のダムのために設けられたソルダレジスト層をそれぞれ示している。

【0018】このような構造を有する第1の実施例の半導体装置は、以下に示すようにして製造される。すなわち、まず図2(a)に示すように、半導体チップ11の非電極形成面を、金属製の放熱フレーム12上に、金属共晶マウント法または接着性ペーストを用いたペーストマウント法により接着固定する。次いで、この半導体チップ11を、図2(b)に示すように、電極端子11a

部にモールド樹脂が付着しないように設計された金型17内に、位置合わせしてセットした後、金型キャビティ内にエポキシ樹脂のようなモールド用絶縁性樹脂を圧入し、モールド被覆層13を一体に成形する。なおこのとき、後述する工程でバンパが形成される電極端子11a部の周りにおいては、モールド被覆層13の端面がテーパー形状を呈するように、金型17の対応する部分の形状を整形しておくことが望ましい。

【0019】次に、図2(c)に示すように、こうして形成されたモールド被覆層13をマスクとして、半導体チップ11の電極端子11a上にCr-Cu-Au等の中間金属層を介してはんだを電解めっきした後、リフローさせることによりはんだバンパ14を形成する。また、半導体チップ11の非電極形成面に固着された放熱フレーム12のモールド被覆層13から外側に突出した部分を、切断除去する。次いで、こうして放熱フレーム12等が取付けられ、外周にモールド被覆層13が形成された半導体チップ11を、図2(d)に示すように、フェースダウンに配置してガラスエポキシ配線板上に搭載し、はんだバンパ14をCu配線パッドのNi-Au層15に当接させた後、はんだを加熱溶融させて、半導体チップ11の電極端子11aとCu配線層10とを接合する。

【0020】このように製造される第1の実施例の半導体装置では、各電極端子11a上に形成されたはんだバンパ14を介して、ガラスエポキシ配線板のCu配線層10に接合された半導体チップ11において、はんだバンパ14形成部を除いた電極形成面と側周面上および非電極形成面側の放熱フレーム12上に、絶縁性樹脂のモールド被覆層13が設けられているので、半導体チップ11の機械的強度が向上し、配線板への実装時などの半導体チップ11の破損が防止される。また、絶縁性樹脂のモールド被覆層13をマスクとして、電解等のめっきによりはんだバンパ14の形成を行なうことができるので、バンパ形成工程が簡素化され、効率的なバンパ形成が可能である。さらに、半導体チップ11の非電極形成面に金属製の放熱フレーム12が取着され、かつこの放熱フレーム12の一方の端面がモールド被覆層13の外側に露出されているので、放熱性が高められ、信頼性の向上が達成される。

【0021】次に、本発明の半導体装置の別の実施例を、図3乃至図6に基づいてそれぞれ説明する。なお、これらの図において、図1と同一の部分には同一の符号を付して説明を省略する。

【0022】本発明の第2の実施例においては、図3に示すように、金属製の放熱フレーム12の左右両側の端面と、半導体チップ11への非取着側の主面(図では上面)が、それぞれ絶縁性樹脂のモールド被覆層13により覆われることなく、露出した構造となっており、絶縁性樹脂のモールド工程で、図4に示すように、放熱フ

ーム12の非取着側の主面にモールド樹脂が付着しないように、キャビティの形状が設計された金型17を用いてモールド成形を行なうことにより、製造することができ。

【0023】この実施例の半導体装置では、半導体チップ11のはんだバンパ14形成部を除いた電極形成面と側周面上に、絶縁性樹脂のモールド被覆層13が設けられているので、半導体チップ11の機械的強度が向上し破損が防止されるうえに、はんだバンパ14の形成工程が簡素化される。また、放熱フレーム12の両側の端面だけでなく非接合側の主面が、モールド被覆層13の外側に露出しているため、放熱性がより高められ、信頼性が向上する。

【0024】本発明の第3の実施例においては、図5に示すように、金属製の放熱フレーム12の左右両側の端部が、絶縁性樹脂のモールド被覆層13の外側にそれぞれ延出されるとともに、延出部12aが下方に折り曲げられており、折り曲げられた両端部が、それぞれガラスエポキシ配線板のCu配線層10とNi-Au層15を介して接合されている、このような構造の第3の実施例の半導体装置においては、半導体チップ11の非電極形成面に接して配設された金属製の放熱フレーム12が、モールド被覆層13の外側に延出され、かつ両側の延出部12aの端部がそれぞれCu配線層10と電気的に接続されているので、この放熱フレーム12をグランド層として接地を確保することができ、電磁波を遮蔽する効果が高い。

【0025】なお、このような両側に延出された放熱フレーム12を有する半導体装置においても、図6に示すように、放熱フレーム12の非接合側の主面(上面)を、モールド被覆層13により覆うことなく露出することで、放熱性をより高め信頼性の向上を図ることが可能である。

【0026】

【発明の効果】以上の説明から明らかなように、本発明においては、配線基板の配線層にフリップチップ接合される半導体素子の、電極端子上を除いた電極形成面や側周面上などに、絶縁性樹脂のモールド被覆層が金型を用いたモールド成形等により形成されているので、半導体素子の機械的強度が向上し、配線基板への実装時などの半導体素子の破損が防止される。また、半導体素子の電極端子上へのバンパの形成を、絶縁性樹脂のモールド被覆層をマスクとして行なうことができるので、工程が簡素化され、バンパ形成を効率的に行なうことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例を示す断面図。

【図2】第1の実施例の半導体装置を製造するための各工程を順に示す断面図。

【図3】本発明の半導体装置の第2の実施例を示す断面

図。

【図4】第2の実施例の半導体装置を製造するための樹脂モールド工程を示す断面図。

【図5】本発明の半導体装置の第3の実施例を示す断面図。

【図6】本発明の半導体装置の第4の実施例を示す断面図。

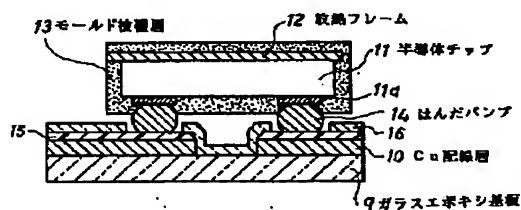
【図7】従来からのフリップチップ接合された半導体装置の一例を示す断面図。

【図8】従来の半導体装置における問題点を説明するための断面図。

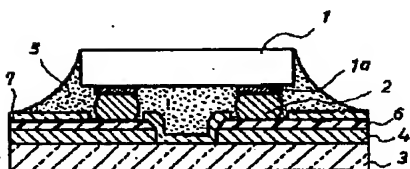
【符号の説明】

- 9……………ガラスエポキシ基板
- 10……………Cu配線層
- 11……………半導体チップ
- 11a……………電極端子
- 12……………放熱フレーム
- 12a……………延出部
- 13……………絶縁性樹脂のモールド被覆層
- 14……………はんだバンプ
- 16……………ソルダレジスト層
- 17……………金型

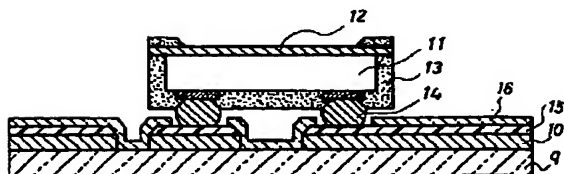
【図1】



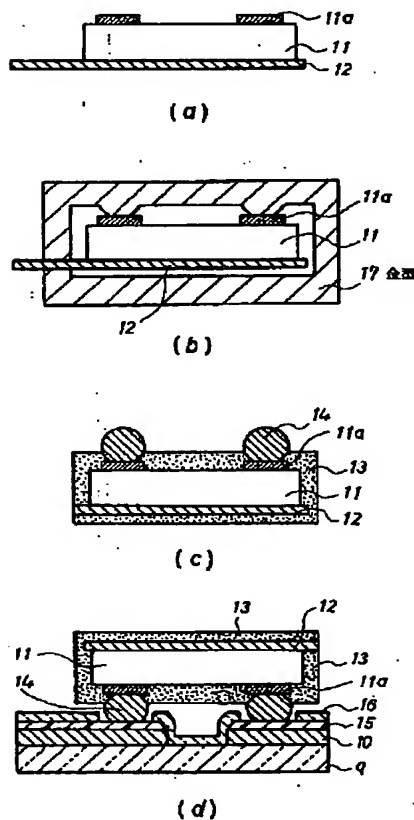
【図7】



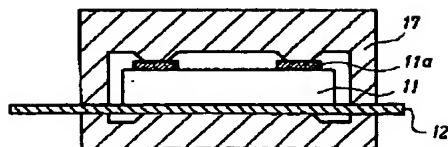
【図3】



【図2】



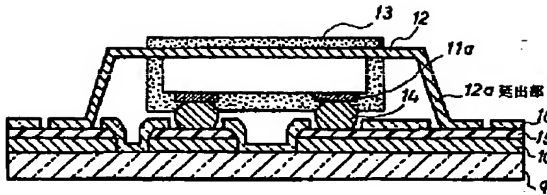
【図4】



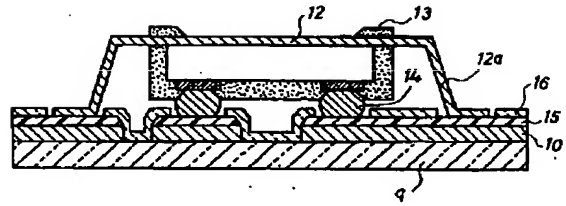
(6)

特開平11-251360

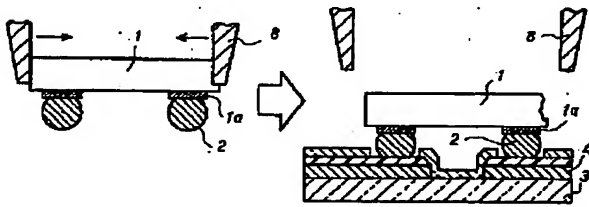
【図5】



【図6】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)